

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yasuzuki Nozuyama

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: January 14, 2004

Examiner: Not yet assigned

Title: CALCULATION SYSTEM OF FAULT COVERAGE AND CALCULATION
METHOD OF THE SAME

EXPRESS MAIL NUMBER: EV 302279847 US

DATE OF DEPOSIT: January 14, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.



Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NO.

MONTH/DAY/YEAR

Japan

P2003-008785

January 16, 2003

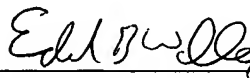
A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: January 14, 2004

By



Edward B. Weller

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH LLP

2000 University Avenue

East Palo Alto, CA 94303

Telephone: (650) 833-2436

Facsimile: (650) 833-2001

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application
as filed with this Office:

Date of Application: January 16, 2003

Application Number: P2003-008785
[ST.10/C]: [JP2003-008785]

Applicant(s): KABUSHIKI KAISHA TOSHIBA

December 3, 2003

Commissioner:
Japan Patent Office Yasuo IMAI

Number of Certificate: 2003-3099817

8-959

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 6 日
Date of Application:

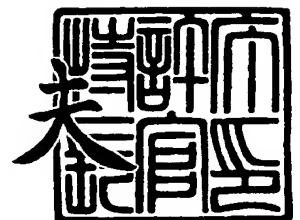
出 願 番 号 特 願 2 0 0 3 - 0 0 8 7 8 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 0 8 7 8 5]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 9 8 1 7

【書類名】 特許願

【整理番号】 ASB023085

【提出日】 平成15年 1月16日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明の名称】 故障検出率算出装置及び故障検出率算出方法

【請求項の数】 18

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 野津山 泰幸

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 故障検出率算出装置及び故障検出率算出方法

【特許請求の範囲】

【請求項1】 L S I のレイアウト情報及びゲートネットデータを取得するデータ取得部と、

前記レイアウト情報及び前記ゲートネットデータからレイアウト全体について基本セルの入出力端子の接続状況を解析しレイアウト要素情報として抽出すると共に未検出の故障リストを作成するレイアウト解析・故障リンク部と、

前記故障リストに対し故障シミュレーションないしは自動テストパターン発生を実行し、検出・未検出故障リストを作成する故障検出部と、

前記レイアウト解析・故障リンク部は前記レイアウト情報とゲートネットデータと検出・未検出故障リストに基づき、故障・レイアウト要素情報リンクファイルを作成し、前記故障レイアウト要素情報リンクファイルに基づき、前記検出・未検出故障リストの故障に対して対応する前記レイアウト要素情報を重みとして付加する重み計算部

とを有することを特徴とする故障検出率算出装置。

【請求項2】 前記レイアウト解析・故障リンク部は、

前記レイアウト情報及び前記ゲートネットデータから接続配線情報を抽出する配線情報抽出部と、

前記レイアウト情報及び前記ゲートネットデータから基本セル間を接続するパスを抽出するパス抽出部と、

前記入力端子と前記出力端子に仮定された故障が同時刻に検出された情報を前記故障検出部からの検出・未検出故障リストに基づき抽出する同時刻検出情報抽出部と、

前記レイアウト情報及び前記ゲートネットデータから故障リストを作成する故障リスト作成部と、

前記レイアウト情報及びゲートネットデータと、前記検出・未検出故障リストとをリンクして故障レイアウト要素情報リンクファイルを生成する故障リンク部とを有することを特徴とする請求項1記載の故障検出率算出装置。

【請求項 3】 前記重み計算部は、
前記接続配線の総レイアウト要素を算出する総レイアウト要素算出部と、
前記故障レイアウト要素情報リンクファイルに基づき検出故障の重み付きピン縮退故障検出率を算出し、重み付き未検出故障リストを作成する重み算出部とを有することを特徴とする請求項 1 記載の故障検出率算出装置。

【請求項 4】 前記重み付きピン縮退検出率及び重み付き未検出故障リストは、配線長重み付き故障検出率及び配線長重み付き未検出故障リストと、ビア数重み付き故障検出率及びビア数重み付き未検出故障リストと、基本セル面積重み付き故障検出率及び基本セル面積重み付き未検出故障リストと、最適バランス重み付き故障検出率及び最適バランス重み付き未検出故障リストとを有することを特徴とする請求項 2 記載の故障検出率算出装置。

【請求項 5】 前記配線重み付き故障検出率は、検出された故障に対応する配線長を対象となる総配線長で割ることにより算出することを特徴とする請求項 4 記載の故障検出率算出装置。

【請求項 6】 前記ビア重み付き故障検出率は、検出された故障に対応するビア数を対象となるビア数で割ることにより算出することを特徴とする請求項 4 記載の故障検出率算出装置。

【請求項 7】 前記基本セル面積重み付き故障検出率は、検出された故障に対応する基本セル面積を対象となる基本セルの総面積で割ることにより算出することを特徴とする請求項 4 記載の故障検出率算出装置。

【請求項 8】 前記故障検出部は、故障シミュレーションまたは自動テストパターン発生装置のいずれか 1 を少なくとも有することを特徴とする請求項 1 記載の故障検出率算出装置。

【請求項 9】 前記重み計算部は、
詳細なレイアウト情報から基本セルレイアウト要素情報を抽出するレイアウト要素抽出部を更に有することを特徴とする請求項 2 記載の故障検出率算出装置。

【請求項 10】 L S I のレイアウト情報及びゲートネットデータを取得し、
前記レイアウト情報及びゲートネットデータからレイアウト全体について基本

セルの入出力端子の接続状況を解析しレイアウト要素情報として抽出し、故障リストを作成し、

前記故障リストの故障に対し故障シミュレーションないしは自動テストパターン発生を行って検出・未検出故障リストを作成し、

前記レイアウト情報及び前記ゲートネットデータと、前記検出・未検出故障リストから故障・レイアウト要素情報リンクファイルを作成し、前記検出故障または未検出故障に対応するレイアウト要素を重みとして付加する

ことを特徴とする故障検出率算出方法。

【請求項 1 1】 前記レイアウト解析し、故障とリンクさせるステップは、

前記レイアウト情報及び前記ゲートネットデータから前記基本セルの前記入力端子及び前記出力端子も含め接続配線情報を抽出し、

前記レイアウト情報と前記ゲートネットデータから基本セル間を接続するパスを抽出し、

前記入力端子と前記出力端子に仮定された故障が同時刻に検出された情報を前記検出・未検出故障リストから抽出し、

前記レイアウト情報及び前記ゲートネットデータから故障リストを作成し、

前記レイアウト情報及び前記ゲートネットデータと前記検出・未検出故障リストとをリンクして故障レイアウト要素情報リンクファイルを生成する

ことを特徴とする請求項 1 0 記載の故障検出率算出方法。

【請求項 1 2】 前記重みとして付加するステップは、

前記接続配線の総レイアウト要素を算出し、

前記故障レイアウト要素情報リンクファイルに基づき、前記検出された故障または検出された故障に対応してパスが活性化されると、対応するレイアウト領域およびレイアウト要素を前記入力端子または前記出力端子に加えることを繰り返し、重み付きピン縮退検出率を算出すると共に、重み付き未検出故障リストを作成する

ことを特徴とする請求項 1 0 記載の故障検出率算出方法。

【請求項 1 3】 前記重み付きピン縮退検出率及び重み付き未検出故障リストは、配線長重み付き故障検出率及び配線長重み付き未検出故障リストと、ヴィ

ア数重み付き故障検出率及びビア数重み付き未検出故障リストと、基本セル面積重み付き故障検出率及び基本セル面積重み付き未検出故障リストと、最適バランス重み付き故障検出率及び最適バランス重み付き未検出故障リストのいずれかであることを特徴とする請求項 11 記載の故障検出率算出方法。

【請求項 14】 前記配線重み付き故障検出率は、検出された故障に対応する配線長を対象となる総配線長で割ることにより算出することを特徴とする請求項 13 記載の故障検出率算出方法。

【請求項 15】 前記ビア重み付き故障検出率は、検出された故障に対応するビア数を対象となるビア数で割ることにより算出することを特徴とする請求項 13 記載の故障検出率算出方法。

【請求項 16】 前記基本セル面積重み付き故障検出率は、検出された故障に対応する基本セル面積を対象となる基本セルの総面積で割ることにより算出することを特徴とする請求項 13 記載の故障検出率算出方法。

【請求項 17】 前記故障箇所を検出するステップは、故障シミュレーションまたは自動テストパターン発生により前記故障箇所を検出することを特徴とする請求項 10 記載の故障検出率算出方法。

【請求項 18】 前記重みとして付加するステップは、
前記レイアウト情報から基本セルレイアウト要素情報を抽出するステップを更に有することを特徴とする請求項 11 記載の故障検出率算出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、LSI、特にシステム LSI またはシステム・オン・チップ（SOC）における故障検出率を評価する故障検出率算出装置及び故障検出率算出方法に関するものである。

【0002】

【従来の技術】

従来、LSI のテスト品質の評価のために、LSI 内部の論理構成に対応して故障モデルを仮定し、LSI のテストのために作成したテストパターンによって

それらの故障がどの程度検出されるかをシミュレーションによって算出し、そのテスト（パターン）の品質を評価（推定）することが行なわれてきた。代表的な故障モデルとして、LSI 内部の基本セル間の接続配線の一つが LSI の電源電位（VDD）または接地電位（GND）に固定されたと考える「ネット縮退故障モデル」がある。仮定した故障総数の内、何個を検出できたかという割合を故障検出率という。この故障モデルは、最も簡単なものの一つであり、故障検出率の算出が容易という大きな利点があり、しかも、市場の不良混入率との相関をある程度良く説明できた。しかしながら、この故障モデルでは、例えば、LSI 内部の広い範囲に引かれた配線の故障も、LSI 内部の狭い領域に引かれた配線の故障も同じ 1 個の故障として扱われてしまうことになるが、実際のデバイスを考えた場合、故障の原因となる欠陥の発生率は互いに異なっているはずであり、従来用いられてきた故障検出率はこうした現実に対応できていなかった。最近の微細化の進んだ LSI のプロセスでは、このようなレイアウト要素に強く依存して不良が発生してくる可能性が高く、故障検出率を単純に検出した故障数と仮定された故障の比で表現する従来の技術は大きな問題を抱えていた。

【0003】

基本的に、接続配線（ネット）は、次の 2 つの種類に分類することができる：

- (i) 基本セルの 1 つの出力端子と複数の基本セルの入力端子とが接続されるような構成の単方向の接続配線； または、
- (ii) 複数の基本セルの出力端子と複数の基本セルの入力端子とが接続されるような構成の単方向及び双方向の接続配線。

【0004】

また、LSI やその内部の論理回路における内部ノード等に適当な故障を仮定し、故障シミュレーション技術を用いて LSI の動作をテストするテストパターンが故障をどの程度検出できるかを計算することにより、テストパターンの故障検出率の評価を行う故障モデルとして普及している縮退故障モデルには、「ネット縮退故障モデル」と、「ピン縮退故障モデル」とがある。ネット縮退故障モデルとは、LSI 内部の各 1 個の接続配線（内部ノード）が電源電位または接地電位に固定されたと仮定する故障モデルのことである。GND（接地電位、論理 0）

に固定された故障を「0 縮退故障」、VDD（電源電位、論理 1）に固定された故障を「1 縮退故障」と呼ぶ。また、ピン縮退故障モデルとは、LSI ないしは LSI 内部の基本セルの入力端子及び出力端子（ピン）の各 1 個が電源電位または接地電位に固定されたと仮定する故障モデルのことであり、GND（接地電位、論理 0）に固定された故障を「0 縮退故障」、VDD（電源電位、論理 1）に固定された故障を「1 縮退故障」と呼ぶ。そして、このように内部ノードが“0”又は“1”に固定されるネット縮退故障を仮定故障とする故障シミュレーションは、比較的計算が容易であり、求められた故障検出率がテストパターンを用いて選別を行った後の「良品」に混在する不良品の割合や、LSI 出荷後の市場で発生する不良率と高い相関を示すことが知られている。したがって、ネット縮退故障を仮定故障とする故障シミュレーションはこれまでの故障シミュレーションにおいて中心的に用いられてきた。

【0005】

しかし、プロセスが微細になり、例えば最小サイズのヴィア（上下に隣り合うメタル配線を接続するためのコンタクト）がきちんと形成されずにオープン不良となる場合が増加してくるが、ネット縮退故障モデルでは、このようなオープン不良を検出したか否かを判断することができないという問題点があった。即ち、ネット縮退故障モデルの場合、各ネットに対して 2 個の縮退故障が定義されるだけであるため、各故障が検出された場合に、ネット内の信号経路の何処が活性化され、検出がなされたのかを判断することができず、実際に活性化されなかった経路上の最小サイズのヴィア（以下、最小ヴィア）の不良は検出されないままになってしまう恐れがある。このため、プロセスの微細化に伴い、ピン縮退故障モデルが次第に利用されるようになってきた。

【0006】

【特許文献 1】

特開 2000-276500 号公報

【0007】

【発明が解決しようとする課題】

双方向信号配線では、一般的に、複数のトライステート・バッファの出力と、

この双方向信号配線を入力とする複数の基本セルの端子とが接続されている。ここでトリステート・バッファとは、出力状態として高レベル、低レベルのほかに、高インピーダンス（ハイ・インピーダンス）状態を備えるバッファ回路である。こうした双方向信号配線での信号のやり取りは、常に1個のトリステート・バッファが出力を行い、その他のトリステートバッファの出力は高インピーダンス状態となり、その出力はいずれかの入力端子を経由し信号として伝播するようになっている。従って、例えば、最近普及しはじめたピン縮退故障モデルにおいては、出力から入力への経路を正しく限定しなければ、印加したテストパターンで注目している双方向信号配線のどの程度のレイアウト領域がチェックされているのかを正確に求めることが困難である。しかし、従来の評価装置では、出力から入力への経路を正しく限定することができなかった。

【0008】

本発明は上述の如き従来の課題を解決するためになされたもので、その目的は、故障に対し適切なレイアウト要素を重みとして付加し、実際の不良発生率と高い相関を有する故障検出率及びテスト品質を達成することができる故障検出率算出装置及び故障検出率算出方法を提供することである。

【0009】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の特徴は、LSIのレイアウト情報及びゲートネットデータを取得するデータ取得部と、レイアウト情報及びゲートネットデータからレイアウト全体について基本セルの入出力端子の接続状況を解析しレイアウト要素情報として抽出すると共に未検出の故障リストを作成するレイアウト解析・故障リンク部と、故障リストに対し故障シミュレーションないしは自動テストパターン発生を実行し、検出・未検出故障リストを作成する故障検出部と、レイアウト解析・故障リンク部はレイアウト情報とゲートネットデータと検出・未検出故障リストに基づき、故障・レイアウト要素情報リンクファイルを作成し、故障レイアウト要素情報リンクファイルに基づき、検出・未検出故障リストの故障に対して対応するレイアウト要素情報を重みとして付加する重み計算部とを有する故障検出率算出装置としたことである。

【0010】

本発明の第1の特徴に係る故障検出率算出装置では、故障に対し適切なレイアウト要素を重みとして付加し、実際の不良発生率と高い相関を有する故障検出率を達成する故障検出率算出装置を提供することができる。

【0011】

本発明の第2の特徴は、LSIのレイアウト情報及びゲートネットデータを取得し、レイアウト情報及びゲートネットデータからレイアウト全体について基本セルの入出力端子の接続状況を解析しレイアウト要素情報として抽出し、故障リストを作成し、故障リストの故障に対し故障シミュレーションないしは自動テストパターン発生を行って検出・未検出故障リストを作成し、レイアウト情報及びゲートネットデータと、検出・未検出故障リストから故障・レイアウト要素情報リンクファイルを作成し、検出故障または未検出故障に対応するレイアウト要素を重みとして付加する故障検出率算出方法としたことである。

【0012】

本発明の第2の特徴に係る故障検出率算出方法では、故障に対し適切なレイアウト要素を重みとして付加し、実際の不良発生率と高い相関を有する故障検出率を達成する故障検出率算出方法を提供することができる。

【0013】**【発明の実施の形態】**

次に、図面を参照して、本発明の実施形態について説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【0014】**(第1の実施形態)**

本発明の第1の実施形態に係る故障検出率算出装置1は、入力装置31、出力装置32、補助記憶装置33、主記憶装置34、処理装置(CPU)2、データ記憶装置3により構成されている。

【0015】

処理装置2は、データ取得部4、レイアウト解析・故障リンク部5、故障検出部6、及び重み計算部7により構成されている。データ取得部4は、データ記憶

装置 3 からレイアウト情報及び L S I のゲートネット等のデータを取得する。このレイアウト情報は、レイアウトパターン情報、配線接続情報、配線要素（直線）の両端部の位置情報（座標）、ビアの位置情報（座標）、場合によっては、さらに、配線長及びビア数等から構成される。レイアウト解析・故障リンク部 5 は、取得したレイアウト情報および L S I のゲートネットに基づきレイアウト全体について基本セルの入力端子及び出力端子の接続状況を解析するとともに、故障リストを作成する。また、レイアウト情報と L S I のゲートネットと故障検出部 6 からの出力である検出・未検出故障リストに基づいて故障・レイアウト要素情報リンクファイルの作成を行う。故障検出部 6 は、レイアウト解析・故障リンク部 5 において抽出（仮定）した故障に対し、故障シミュレーションないしは A T P G を実行して検出または未検出の情報を取得する（検出・未検出故障リストを作成する）。特に双方向信号に関する故障については、検出された時刻の情報を含んでいるようにする。重み計算部 7 は、レイアウト解析・故障リンク部 5 が出力する故障・レイアウト要素情報リンクファイルに基づき、故障検出部 6 により検出された故障または未検出の故障に対応するレイアウト要素を「重み」として付加する。

【0016】

レイアウト解析・故障リンク部 5 は、図 2 に示すように、配線情報抽出部 5 a、パス抽出部 5 b、故障リスト作成部 5 c、故障リンク部 5 d、同時刻検出情報抽出部 5 e により構成されている。配線情報抽出部 5 a は、データ取得部 4 で取得したレイアウト情報と L S I のゲートネットデータから基本セルの入出力端子情報も含めた配線情報を抽出する。パス抽出部 5 b は、データ取得部 4 で取得したレイアウト情報と L S I のゲートネットデータから、基本セル間（基本セルの出力端子から基本セルの入力端子）を接続するパスを抽出する。パスという情報が必要なのは故障の伝播・検出がパスを経由に行われるためであり、たとえば、L S I が機能的な動作を行うファンクションテストのパターンを用いて故障シミュレーションを実行した場合、あるサイクルで活性化された経路（パス）を通じて伝播した故障は、図 7 に示すように、バッファ T 2（A）から基本セル C 5（B）への結果は基本セル C 5（B）（に対応して設けられた記憶領域）又は基本

セル C 5 (B) を経由して他の基本セル (に対応して設けられた記憶領域) に一旦格納される。この格納された結果が、後のある時刻においてチップ外に読み出されることが確認されると、バッファ T 2 (A) の出力端子に仮定された故障 f 1 及び基本セル B の入力端子に仮定された故障 f 2 は、同時刻に検出されることとなる。故障リスト作成部 5 c は、データ記憶装置 3 に格納されている基本セル外部情報、基本セル間レイアウト情報、及びゲートネットから故障リストを作成する。故障リンク部 5 d は、データ記憶装置 3 に格納されている基本セル外部情報、基本セル間レイアウト情報、ゲートネット、及び故障検出部 6 の出力である故障シミュレーションまたは A T P G 実行後の故障リスト、即ち、単方向信号検出・未検出故障リスト 4 6 及び双方向信号検出・未検出故障リスト 4 7 とをリンク指示データに基づきリンクして単方向信号及び双方向信号別に故障・レイアウト要素情報リンクファイルを生成する。同時刻検出情報抽出部 5 e は、入力端子と出力端子に仮定された故障が同時刻に検出された対応するパスが活性化され、故障が検出された情報を故障検出部 6 の出力である双方向信号検出未検出故障リストから抽出する。

【0017】

重み計算部 7 は、総レイアウト要素算出部 7 a および重み算出部 7 b より構成されている。総レイアウト要素算出部 7 a は、接続配線の総レイアウト要素を算出する。重み算出部 7 b は、故障・レイアウト要素情報リンクファイルの内容に基づき、配線長重み付き故障検出率 4 8 a 及び未検出故障リスト 4 8 b、最小ビア数重み付き故障検出率 4 9 a 及び未検出故障リスト 4 9 b、基本セル面積重み付き故障検出率 5 0 a 及び未検出故障リスト 5 0 b、最適バランス重み付き故障検出率 5 1 a 及び未検出故障リスト 5 1 b 等からなる重み付きピン縮退故障検出率および重み付き未検出故障リストを算出する。

【0018】

尚、処理装置 2 には、図示を省略したデータベース管理手段及び入出力管理手段が備えられている。そして、データ記憶装置 3 との入出力が必要な場合は、このデータベース管理手段を介して必要なファイルの格納場所を探し、ファイルの読み出し・書き込み処理が行われる。また、処理装置 2 への入出力が必要な場合

は、この入出力管理手段を介して入力装置 31 から入力を受けたり、出力装置 32、補助記憶装置 33 等への出力を行う。なお、データ記憶装置 3 は、適宜補助記憶装置 33 に含まれる構成になっていても良い。

【0019】

図 3 に示すように、データ記憶装置 3 は、基本セル外部情報 40、基本セル間レイアウト情報 41、ゲートネット 42、ライブラリ・メモリモデル 43、テストパターン 44、故障リスト 54、リンク条件指示データ 45、単方向信号検出・未検出故障リスト 46、双方向信号検出・未検出故障リスト 47、単方向信号故障・レイアウト要素情報リンクファイル 52、双方向信号故障・レイアウト要素情報リンクファイル 53、配線長重み付き故障検出率 48a 及び未検出故障リスト 48b、最小ビア数重み付き故障検出率 49a 及び未検出故障リスト 49b、基本セル面積重み付き故障検出率 50a 及び未検出故障リスト 50b、最適バランス重み付き故障検出率 51a 及び未検出故障リスト 51b 等の情報を格納する。

入力装置 31 は、キーボード、マウス、OCR 等の認識装置、イメージスキャナ等の図形入力装置、音声認識装置等の特殊入力装置などにより、出力装置 32 は、液晶ディスプレイ、CRT ディスプレイ等の表示装置、インクジェットプリンタ、レーザープリンタなどの印刷装置等によりそれぞれ構成される。そして、図示を省略した入出力制御装置（入出力インタフェース）は、これらの入力装置 31、出力装置 32、補助記憶装置 33、あるいは CD-ROM、MO、フレキシブルディスクなどの記憶装置の読み取り装置等を処理装置 2 につなぐインタフェースである。データの流れから見ると、入出力制御装置は、入力装置 31、出力装置 32、補助記憶装置 33、外部記憶装置の読み取り装置と主記憶装置 34 とのインタフェースとなる。主記憶装置 34 には、ROM 及び RAM が組み込まれている。ROM は、処理装置 2 において実行されるプログラムを格納しているプログラム記憶装置等として機能する。RAM は、処理装置 2 におけるプログラムやプログラム実行処理中に利用されるデータ等を一時的に格納したり、作業領域として利用される一時的なデータメモリ等として機能する。尚、本発明の第 1 の実施形態に係る故障検出率算出装置では、信号配線に関連する故障を選択的に

指定して、複数回数の検出情報を保持する故障シミュレータ及び自動テストパターン発生装置（ATPG）を有する。

【0020】

ここで、図4を参照し、本発明の第1の実施形態に係る故障検出率算出装置1において用いられるLSIの接続配線構成の一例について説明する。図4に示すように、本発明の第1の実施形態に係る故障検出率算出装置1において用いられるLSIは、第1基本セルC1、第2基本セルC2、第3基本セルC3、第4基本セルC4、出力端子(pin)P1_1、入力端子 (pin)P2_2、P1_3、P2_4、メタル配線M1_1、M1_2、M2_1、M2_2、M3_2、M2_3、M1_3、M3_3、M2_4、及び最小ビア（VIA）V12_1、V23_1、V23_2、V32_1、V32_2、V21_1とを少なくとも有している。出力端子P1_1、入力端子P2_2、P1_3、P2_4と第1～第4基本セルC1～C4は、メタル配線M1_1、M1_2、M2_1、M2_2、M3_2、M2_3、M1_3、M3_3、M2_4により接続される。そして、LSIを接続配線（ネット）の集合体と見做し、個々の接続配線に対してどのような基本セルと入力端子及び出力端子が接続されているのかを表現することができる。

【0021】

図4では、「<C|P|M|V><Layer><Layer>_<通し番号>」といった表記法に従ってレイアウト要素を表現している。ここで、「C」は基本セル、「P」は端子（ピン）、「M」はメタル配線、「V」はビア（最小サイズのものを）を意味する。「<Layer>」はメタル配線の層（下部から1,2,3,・・・層）を示す。ビアの場合の<Layer><Layer>は、ビアがPATHの方向に沿ってメタル配線のどの2層を接続しているかを示す。例えば、図4に示す「P1_1」は、パスの第1層（<Layer>）の第1番目を意味する。

【0022】

ここで、図4の詳細な見方の一例として、例えば、図4に示す破線の矢印によって示されているパス（PATH_3）は、レイアウト解析・故障リンク部5においてレイアウトツールが出力したレイアウト情報等に基づき、次のような形式で抽出される：“PATH_3： P1_1 (/xx/yy/U12/A), M1_1, V12_1, M2_1, V21_1, M3_2, V32_1, M2_3, V21_1, M1_3, P1_3(/xy/zz/U321/A)”。また、ネットに接続さ

れる入力端子及び出力端子 (pin) についての情報は、例えばP1_3の場合次のような形式で抽出される: “P1_3: /xy/zz/U321, D, FF1, sa0, HD, in”。ここで、「/xx/zz/U321」はインスタンス名、「D」は端子名、「FF1」は基本セル名、「sa0」は仮定故障、「HD」は検出情報 (hard detected etc.)、「in」は入出力の区別を表している。また、メタル配線 (M2_1等) の図面上の長さは、“M2_1: 566 ; ” といった形式で抽出される。ここで、「566」は、メタル配線M2_1の長さを表している。

【0023】

このように、上述したパス (PATH) 表現はパスに沿った信号経路を忠実に再現しており、出力端 (即ち基本セルの入力端子P1_3) に仮定された故障が検出となった場合、レイアウト情報等から抽出したデータを用いて、検出された故障に対応するレイアウト重みを計算できるようになっている。これらのパス表現では、検出されたパスに対応するメタル配線長と、(最小) ヴィア の数およびパスに出力端子が接続されている基本セルの面積をそれぞれ算出できる。検出された故障が複数ある場合は、複数のパスのレイアウト重みを加え合わせる必要があるが、既に加えられた要素は重複して加算されないようにする。以上のように、本発明により、ピン縮退故障モデルにおいて、基本セルの1つの出力端子と複数の基本セルの入力端子とが接続されるような構成の単方向の接続配線 (基本セルの1つの出力端子と複数の基本セルの入力端子とが接続されるような構成の単方向の接続配線のようなタイプ) に対応するレイアウト要素は自然に各故障に重みとして付加できる。

【0024】

一方、複数の基本セルの出力端子と複数の基本セルの入力端子とが接続されるような構成の双方向の接続配線 (複数の基本セルの出力端子と複数の基本セルの入力端子とが接続されるような構成の双方向の接続配線のようなタイプ) については、従来の手法の組合せでは検出された故障が伝播したパスを明確に決定できず、結果的にきちんとしたレイアウトの重みを付加することができなかった。そこで、複数の基本セルの出力端子と複数の基本セルの入力端子とが接続されるような構成の双方向の接続配線についてもこうしたパスを明確に決定することがで

き、結果的にきちんとしたレイアウトの重みを付加することができる本発明の第1の実施形態に係る故障検出率算出方法について図5～図9を参照し説明する。

【0025】

まず、本発明の第1の実施形態に係る故障検出率算出方法の処理手順の流れについて図5を参照し説明する。

【0026】

(a) 図5のステップS11において、図1のデータ取得部は、データ記憶装置3からレイアウトデータおよびLSIのゲートネットデータを取得する。そして、ステップS12において、図1のレイアウト解析・故障リンク部5は、取得したレイアウトデータおよびLSIのゲートネットからレイアウト全体を解析し、入力端子及び出力端子の接続関係、パス、配線接続関係、配線長、ビア数等からなるレイアウト要素データを抽出する。

【0027】

(b) 次に、ステップS13において、故障検出部6は、ピン縮退故障シミュレーション等を行い、検出・未検出故障リストを作成する。そして、ステップS14において、レイアウト解析・故障リンク部5は、ステップS12で抽出されたレイアウト要素データとステップS13で作成された検出・未検出故障リストをリンクし、故障・レイアウト要素情報リンクファイルを作成する。そして、ステップS15において、重み計算部7は、上記リンクファイルに基づき、ピン縮退故障シミュレーションの結果検出された故障に対応する基本セルの入力端子に相当するパスを覆うレイアウト領域又はレイアウト要素を検出されたレイアウト重みとして加算する。このとき、他の入力端子に対応する故障が検出された場合は、既に加算されたレイアウト領域またはレイアウト要素以外の新たに検出された部分だけを加算するようにする。これを全ての検出された故障について行い、検出故障の総レイアウト要素量を求め、総レイアウト要素算出部7aにおいて求めた総レイアウト要素量で除算し、レイアウト重み付き故障検出率を求める。また、未検出故障にレイアウト要素の重みを付けた重み付き未検出故障リストの作成も行う。

【0028】

ここで、図6を参照し、図5のステップS14におけるレイアウト重みを計算する方法の詳細について説明する。

【0029】

(a) まず、ステップS101において、接続配線の出力数が1つか否かを判断する。接続配線の出力数が複数、即ち双方向信号配線、である場合はステップS106の処理へ進む。接続配線の出力数が1つ、即ち単方向信号配線、である場合は、ステップS102の処理へ進む。

【0030】

(b) ステップS102において、1つ目の検出された故障であるか否かが判断される。1つ目の検出故障である場合は、ステップS103において、配線長及びビア数等からなるレイアウト要素を加算する。ステップS102において、2つ目以降の検出故障であると判断された場合は、ステップS104において新たに加わるレイアウト要素のみを加算する。そして、ステップS105において、次の検出故障があるか否かを判断する。次の検出故障が存在する場合は、ステップS102の処理へ戻りステップS102からステップS105までの処理を繰り返す。次の検出故障がない場合は、ステップS110の処理へ進み、接続配線の検出故障に対応する総レイアウト要素を求める。

【0031】

(c) ステップS101において、接続配線の出力数が複数であり、接続配線が双方向信号配線である場合、ステップS106において、双方向信号線用の故障・レイアウト要素情報リンクファイルから同時刻検出情報を取得する。そして、活性化されて故障が検出されたパスが存在する場合、双方向信号配線上において該当するレイアウト領域またはレイアウト要素を検出したものとみなす。

【0032】

(d) 具体的には、ステップS107において、1つ目の検出されたパスか否かを判断する。(パスには、同一のレイアウト要素で0縮退故障に対応するものと1縮退故障に対応するものの2個がある。) 1つ目の検出パスの場合は、ステップS108において、検出したものとみなされたレイアウト領域またはレイアウト要素を重みとして加算する。2つ目以降の検出パスの場合は、ステップS1

09において、新たに加わった領域のみ重みとして加算する。

【0033】

(e) そして、ステップS111において、検出された故障に対する接続配線の総レイアウト要素を求める。そして、最終的にステップS101からステップS114までの処理で得られた結果を全ての接続配線（ネット）について加算し、総レイアウト要素算出部7aで求めた各総レイアウト要素で割り、配線長重み付き故障検出率、ビア重み付き故障検出率、基本セル面積重み付き故障検出率等からなるレイアウト重み付き故障検出率を以下の公式に基づき算出する：

配線重み付き故障検出率を η_1 、検出された故障に対応する配線長を l_d 、対象となる総配線長を l_0 、

$$\eta_1 = l_d / l_0 \quad \dots (1)$$

ビア重み付き故障検出率を η_2 とし、検出された故障に対応するビア数を n_d とし、対象となるビア数を n_0 として、

$$\eta_2 = n_d / n_0 \quad \dots (2)$$

基本セル面積重み付き故障検出率を η_3 、検出された故障に対応する基本セル面積を S_d 、対象となる基本セル総面積を S_0 とし、

$$\eta_3 = S_d / S_0 \quad \dots (3)$$

なお、これらのレイアウト要素の相対的な重みをプロセス情報等に基づき適当に仮定し「最適バランス」重み付き故障検出率を求めることもできる。なお、ステップS112において、接続配線毎に未検出故障に対応するレイアウト要素を求めるようになっており、この結果は重み付き未検出故障リストとして出力される。

【0034】

L S I内部のフリップフロップやラッチをスキャン化することを前提とするA T P Gでは、実質的にL S Iを組合せ回路と等価になるようにしてテストパターンを発生しており、個々のテストパターンに対して検出される故障がリストアップされるようになっているため、その中から各パスに対応する始点・終点が同時に検出状況になったかどうかを調べ、該当すれば、そのパスに対応するレイアウト要素を加算するようにする。重複加算を防ぐように注意する点と、別途、対象

となっている接続配線の総レイアウト要素を求める点については、故障シミュレーション（ファンクションテストパターン）を用いる場合と同じである。

【0035】

上述した故障シミュレーション、ATPGのいずれの場合にも、テストパターンによって双方向信号配線（ネット）上のレイアウト領域を実際にどれだけ覆うことができたかについては、各ピン縮退故障を従来のように1回検出しただけで対象故障から除外してしまうという処理をしてはならず、複数回の検出情報が取得できるようにしておく必要がある。これは、従来の故障シミュレータ、ATPGではCPU時間の節約のため、複数回数検出を行う機能がない場合が多いため、少なくとも双方向信号配線に接続される端子に仮定される故障については、複数回数の検出状況をレポートできるような機能を持たせるようにする。回数については無制限であることが望ましいが、CPU時間とのトレードオフを考えると、一定の制限（例えば10回程度）を設けても良い。但し、制限を設けるにあたり、同一のパスの検出は重複してカウントしないといった工夫が必要となる。これに関し、たとえば双方向信号配線上に定義される全てのパスを抽出しておき、故障シミュレータ、ATPGツールにこうしたパス又はパスの始点及び終点で定義される故障の組としての検出を認識することができる機能を付加しても良い。

【0036】

（具体例）

ここで、上述してきた本発明の第1の実施形態に係る故障検出率算出装置方法を具体的に用いた例を図8及び図9を用いて説明する。

【0037】

（a）まず、故障シミュレーション実行前に単方向信号に関する故障か双方向信号に関する故障かを区別するために、図8のステップS121において、図3のデータ記憶装置3に格納された基本セル間レイアウト情報41、基本セル外部情報40、ゲートネット42から故障リストを単方向信号、双方向信号別に作成する。ここで、基本セル外部情報40とは、基本セルの外枠の座標や入力端子及び出力端子名、座標等の情報である。

【0038】

(b) 次に、ステップ S 1 2 2 において、ステップ S 1 2 1 で生成された故障リストと、ゲートネット 4 2、ライブラリ・メモリモデル 4 3、テストパターン 4 4 を用いて故障シミュレーションを実行する。故障シミュレーションを実行した結果を単方向信号、双方向信号別に単方向信号検出・未検出故障リスト 4 6 及び双方向信号検出・未検出故障リスト 4 7 としてそれぞれ出力する。

【0039】

(c) ステップ S 1 2 3 において、リンク条件指示データ 4 5 に基づき、単方向信号検出・未検出故障リスト 4 6 及び双方向信号検出・未検出故障リスト 4 7 と、基本セル外部情報 4 0、基本セル間レイアウト情報 4 1、ゲートネット 4 2 とをリンクして単方向信号及び双方向信号別に故障・レイアウト要素情報リンクファイル（単方向信号故障・レイアウト要素情報リンクファイル 5 2、双方向信号故障・レイアウト要素情報リンクファイル 5 3）を作成する。

【0040】

(d) 次に、ステップ S 1 2 4 において、単方向信号故障・レイアウト要素情報リンクファイル 5 2 及び双方向信号故障・レイアウト要素情報リンクファイル 5 3 に基づき、重み付きピン縮退故障検出率（配線長重み付き故障検出率 4 8 a、最小ビア数重み付き故障検出率 4 9 a、基本セル面積重み付き故障検出率 5 0 a、最適バランス重み付き故障検出率 5 1 a 等）を算出する。

【0041】

尚、ステップ S 1 2 2 における故障シミュレーションが ATPG である場合は、図 9 のステップ S 1 2 5 に示すように、ゲートネット 4 2、ライブラリ・メモリモデル 4 3、及び故障リストに基づき、単方向信号検出・未検出故障リスト 4 6、双方向信号検出・未検出故障リスト 4 7 の他に、テストパターン 4 4 が自動的に生成され、テスト回路を含むゲートネット 4 2 が出力される。その他のステップ S 1 2 1、S 1 2 3、S 1 2 4 における処理についてはステップ S 1 2 2 において故障シミュレーションを行う場合と同様である。

【0042】

本発明の第 1 の実施形態に係る故障検出率算出装置は、複数の基本セル出力端子に接続されてなる信号配線の各々において、基本セルの出力に仮定された故障

と、基本セルの入力に仮定された故障とをグループとして抽出し、故障シミュレーションを実行して各グループ内で同時刻に検出された出力故障と入力故障とをペアとして、出力から入力までのレイアウト上の経路（パス）を実際に検出したとみなすことにより、故障に対し適切なレイアウト要素を重みとして付加することを実現し、実際の不良発生率と高い相関を有する故障検出率算出装置を提供することができる。また、ATPGを実施し、同一のテストパターンで検出された複数の基本セル出力端子に接続された各信号配線の出力故障と入力故障とをペアとして、出力から入力までのレイアウト上の経路を実際に検出したとみなすことにより、故障に対し適切なレイアウト要素を重みとして付加することを実現し、実際の不良発生率と高い相関を有する故障検出率算出装置を提供することができる。

【0043】

本発明の第1の実施形態に係る故障検出率算出方法では、各ネットに対し、レイアウトデータとLSIのゲートネットデータからネットに出力端子が接続された基本セルの出力端子から、ネットに入力端子が接続された基本セルの入力端子に至るパスを抽出しておき、ピン縮退故障シミュレーションの結果、検出された故障に対応するパス（単方向信号の場合は、基本セルの入力端子で決まる）が覆うレイアウト領域ないしはレイアウト要素を検出されたレイアウト重みとして加算するようにする。他のパスに対応する故障が検出された場合は、既に加算されたレイアウト領域またはレイアウト要素以外の新たに検出された部分だけを加算するようにする。従って、本発明の第1の実施形態に係る故障検出率算出方法を用いることにより、故障シミュレーションの結果を参照しつつ、自然に検出されたレイアウト重みを算出することができ、予め個々の故障に対して共通部分、非共通部分を考慮したレイアウト重みの煩雑な定義を行う必要がなくなる。

【0044】

（第2の実施形態）

今後、微細プロセスでは、LSIの規模の増大に伴い、基本セル間の配線数及び配線長が著しく増大し、メタル配線層数も10層以上のものが出てくるため、基本セル間のレイアウト要素抽出の重要度が高くなっていくため、本発明の第1

の実施形態においては、基本セル内部に発生し得る不良については特に触れていなかった。一方、基本セル内部でも、トランジスタのソース・ドレイン間におけるショート等、素子レベルの不良が増加する可能性がある。従来のネット縮退故障でも検出可能ではあるが、ヴィアのオープン不良等への対応と、一般に故障シミュレーションやATPGは長いCPU時間が必要であることを考慮した場合、2種類（ネット、pin）の縮退故障モデルで実行することは合理的ではない。そこで、基本セル内の情報もpin故障モデルで扱うことができる本発明の第2の実施形態に係る故障検出率算出装置及び故障検出率算出方法について説明する。

【0045】

本発明の第2の実施形態に係る故障検出率算出装置は、図1に示す本発明の第1の実施形態で説明したように、入力装置31、出力装置32、補助記憶装置33、主記憶装置34、処理装置2、データ記憶装置3により構成されている。そして、処理装置2は、データ取得部4、レイアウト解析・故障リンク部5、故障検出部6、重み計算部7により構成されている。そして、図10に示すように、レイアウト解析・故障リンク部5は、配線情報抽出部5a、パス抽出部5b、故障リスト作成部5c、故障リンク部5d、同時刻検出情報抽出部5e、レイアウト要素情報抽出部5fにより構成されており、レイアウト要素情報抽出部5fを更に有する点において、本発明の第1の実施形態における処理装置2と異なるほか、故障リンク部5d及びデータ記憶装置3についても若干異なる。図12に示すように、レイアウト要素情報抽出部5fは、基本セル詳細レイアウトデータから基本セルレイアウト要素情報を抽出し、出力する。故障リンク部5dは、データ記憶装置3に格納されている基本セル外部情報、基本セル間レイアウト情報、ゲートネット、故障シミュレーションまたはATPG実行後の故障リスト及び基本セルレイアウトと、単方向信号検出・未検出故障リスト46及び双方向信号検出・未検出故障リストとをリンク条件指示データに基づきリンクして単方向信号及び双方向信号別に故障・レイアウト要素情報リンクファイルを生成する。

【0046】

図11に示すように、本発明の第2の実施形態に係るデータ記憶装置3は、基本セル外部情報40、基本セル間レイアウト情報41、ゲートネット42、ライ

ブラリ・メモリモデル 43、テストパターン 44、故障リスト 54、リンク条件指示データ 45、単方向信号検出・未検出故障リスト 46、双方向信号検出・未検出故障リスト 47、単方向信号故障・レイアウト要素情報リンクファイル 52、双方向信号故障・レイアウト要素情報リンクファイル 53、配線長重み付き故障検出率 48a 及び未検出故障リスト 48b、最小ヴィア数重み付き故障検出率 49a 及び未検出故障リスト 49b、基本セル面積重み付き故障検出率 50a 及び未検出故障リスト 50b、最適バランス重み付き故障検出率 51a 及び未検出故障リスト 51b のほか、基本セル詳細レイアウトデータ 55 及び基本セルレイアウト要素情報 56 等の情報を格納する

図 12～図 14 (b) を参照し、本発明の第 2 の実施形態に係る故障検出率算出方法について説明する。

【0047】

(a) まず、ステップ S201 において、基本セル詳細レイアウトデータ 55 からレイアウト要素を抽出し、基本セルに関するレイアウト要素重み情報として基本セルレイアウト要素情報 56 を生成する。

【0048】

(b) 次に、ステップ S202 において、基本セル外部情報 40、基本セル間レイアウト情報 41、ゲートネット 42 から故障リストを単方向信号、双方向信号別に作成する。

【0049】

(c) 次に、ステップ S203 において、ステップ S202 で生成された故障リストと、ゲートネット 42、ライブラリ・メモリモデル 43、テストパターン 44 を用いて故障シミュレーションを実行する。故障シミュレーションを実行した結果を単方向信号、双方向信号別に単方向信号検出・未検出故障リスト 46 及び双方向信号検出・未検出故障リスト 47 としてそれぞれ出力する。

【0050】

(d) 次に、ステップ S204 において、基本セルレイアウト要素情報 56、リンク条件指示データ 45、基本セル外部情報 40、基本セル間レイアウト情報

41、ゲートネット42と、単方向信号検出・未検出故障リスト46及び双方向信号検出・未検出故障リスト47とをリンクして単方向信号及び双方向信号別に故障・レイアウト要素情報リンクファイル（単方向信号故障・レイアウト要素情報リンクファイル52、双方向信号故障・レイアウト要素情報リンクファイル53）を作成する。

【0051】

（e）次に、ステップS205において、単方向信号故障・レイアウト要素情報リンクファイル52及び双方向信号故障・レイアウト要素情報リンクファイル53に基づき、重み付きピン縮退故障検出率（配線長重み付き故障検出率48a、最小ビア数重み付き故障検出率49a、基本セル面積重み付き故障検出率50a、最適バランス重み付き故障検出率51a等）を算出する。

【0052】

尚、ステップS203における故障シミュレーションがATPGである場合は、図13のステップS205に示すように、ゲートネット42、ライブラリ・メモリモデル43、及び故障リストに基づき、単方向信号検出・未検出故障リスト46、双方向信号検出・未検出故障リスト47の他に、テストパターン44が自動的に生成され、テスト回路を含むゲートネット42が出力される。その他のステップS201、S202、S204、S205における処理についてはステップS203において故障シミュレーションを行う場合と同様である。

【0053】

一般に、基本セル内部については、自動配置配線ツールは必要な情報を有していないため、基本セルについては、実際の詳細なレイアウトデータ（GDS2等）からレイアウトパラメータ抽出ツールを用いて、各端子から基本セルの内部を見た際における接続配線長及び最小コンタクト数を抽出し、さらに、出力端子については、基本セルの面積をレイアウト重みとして付加する。この場合、基本セルに複数の出力を有する基本セルに関しては、面積情報を「（共通部分）＋（個別部分）」として持たせるようにする。

【0054】

たとえば、図14（a）に示すように、基本セルの複数の出力端子に関する回

路部分が違いに重複している場合、ラッチ回路はクロックインバータ 1 5 1 と、データ保持用の内部ループを形成するクロックインバータ 1 5 2 と、インバータ 1 5 3 と、出力インバータ 1 5 4、1 5 5 から構成される。なお、C L K 及び C L K V は互いに位相の反転したクロック信号であり、クロックインバータは矢印で示した入力信号が“1”の時インバータとして動作し、“0”の時 h i - Z 出力を行う。

【0 0 5 5】

このとき、出力端子 Q、Q N に対応するレイアウト領域は、基本的には破線 1 5 6、1 5 7 で囲まれた領域と定義するのが適当ではないかとみられるが、この場合には、前記出力端子 Q、Q N に共通なレイアウト領域 1 5 8 が存在することに注意しなければならない。

【0 0 5 6】

すなわち、出力端子 Q、Q N に対応するレイアウト領域は、基本的には破線 1 5 6、1 5 7 で囲まれた領域と定義すれば、両者に共通なレイアウト領域 5 8 が二重に数えられることとなり不都合が生じる。

【0 0 5 7】

この状況を一般化したものを図 1 4 (b) に示す。入力端子 A 1 ~ A 4、出力端子 Z 1 ~ Z 5 を備える基本セル 1 6 0 において、レイアウト領域 1 6 6 は全ての出力端子に共通なレイアウト領域であり、レイアウト領域 1 6 1 ~ 1 6 5 は出力端子 Z 1 ~ Z 5 に個別に対応するレイアウト領域である。

【0 0 5 8】

出力端子 Z 1 ~ Z 5 のいずれかに関する故障が検出された場合、レイアウト関連パラメータは共通なレイアウト領域 1 6 6 と、その故障に個別のレイアウト領域とから抽出し、その後、他の出力端子に関する故障が検出されれば、レイアウト関連パラメータは前記他の出力端子に個別なレイアウト部分から抽出されるようにしなければならない。さらに、他の出力端子に関する故障が検出された場合も同様である。

【0 0 5 9】

このような切り分け方は、共通なレイアウト領域 1 6 6 からの重複抽出を避け

るための方法であるが、ソフト処理上は各出力端子に関連する領域を求めておき、故障シミュレーションの結果に応じて対応する最終的なレイアウト領域を求めるようにすれば特に不都合は生じない。

【0060】

テスト対象のLSIに仮定された故障を列挙した故障リスト内において、ピン縮退故障は、インスタンス名として全て個別に区別できるようになっている基本セルと、その入力端子及び出力端子との組合せで表現されるため、面積重みの計算処理は、順に実行していき、インスタンス名として最初に出てきたインスタンス名に伴う故障（0／1縮退故障は区別必要）が検出の場合のみ「（共通部分）＋（個別部分）」を加え、その後同じインスタンス名で別の出力端子に仮定された故障が検出となったら、（個別部分）の値だけを加算する必要がある。

【0061】

従って、本発明の第2の実施形態に係る故障検出率算出装置及び故障検出率算出方法では、基本セル内部の情報について、実際のレイアウトベースデータ（GDS2等）から必要なレイアウト要素を抽出して、基本セルに関するレイアウト重み情報ファイルとして有しておき、基本セル間で抽出したレイアウト要素と組合わせてレイアウト重みを追加することにより、テスト対象LSIに対しピン縮退故障で対応可能な主要不良に対する重み付き故障検出率と（重み付き）未検出故障を得ることができる。

【0062】

本発明の第1及び第2の実施形態に係る故障検出率算出装置及び故障検出率算出方法によれば、LSIのチップ上の広い領域に存在する双方向信号配線において、レイアウトと正確にリンクした検出情報が得られることになり、実際の不良発生率との高い相関が得られる結果、不良混入率を高い精度で制御できるようになり、未検出故障について、どの故障から優先的に検出し、どの程度まで検出するようテストパターンを追加すれば良いのかが明確となるため、要求されるテスト品質を得るまでのテストパターン開発の効率が向上し最適化される。

【0063】

（その他の実施形態）

上記のように、本発明は第1及び第2の実施形態によって記載したが、この開示の一部をなす論述及び図面は、この発明を限定するものであると理解すべきではない。この開示から、当業者には様々な代替実施の形態、及び実施例が明らかとなろう。

【0064】

なお、本発明の第1及び第2の実施形態においては、故障検出部6は処理装置2の内部に構成されているよう示したが、処理装置2或いは故障検出率算出装置1の外部に接続されても良いことは勿論である。

【0065】

本発明はここでは記載していない様々な実施の形態などを含むことは勿論である。従って、本発明の技術的な範囲は上記説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0066】

【発明の効果】

本発明によれば、故障に対し適切なレイアウト要素を重みとして付加し、実際の不良発生率と高い相関を有する故障検出率及びテスト品質を達成することができる故障検出率算出装置及び故障検出率算出方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る故障検出率算出装置の構成を示すブロック図である。

【図2】

図2(a)は、図1に示すレイアウト解析・故障リンク部5の詳細な構成を示すブロック図であり、図2(b)は、重み計算部7の詳細な構成を示すブロック図である。

【図3】

図1に示すデータ記憶装置3の詳細なデータ構造を示すブロック図である。

【図4】

本発明の第1の実施形態に係るレイアウト要素の一例を示す。

【図 5】

本発明の第 1 の実施形態に係る故障検出率算出方法の処理手順を示すフロー図である。

【図 6】

図 6 のステップ S 1 5 におけるレイアウト重みの計算方法の詳細な処理手順を示すフロー図である。

【図 7】

本発明の第 1 の実施形態に係る双方向配線の一例を示す図である。

【図 8】

本発明の第 1 の実施形態に係る故障検出率算出方法の具体的な処理手順を示すフロー図（その 1）である。

【図 9】

本発明の第 1 の実施形態に係る故障検出率算出方法の具体的な処理手順を示すフロー図（その 2）である。

【図 10】

本発明の第 2 の実施形態に係るレイアウト解析・故障リンク部 5 の詳細な構成を示すブロック図である。

【図 11】

本発明の第 2 の実施形態に係るデータ記憶装置 3 の詳細なデータ構造を示すブロック図である。

【図 12】

本発明の第 2 の実施形態に係る故障検出率算出方法の具体的な処理手順を示すフロー図（その 1）である。

【図 13】

本発明の第 2 の実施形態に係る故障検出率算出方法の具体的な処理手順を示すフロー図（その 2）である。

【図 14】

複数の出力端子に対応するレイアウト領域が重複する場合を示す図であって、図 14（a）はラッチ回路を示す図であり、図 14（b）はレイアウト領域が重

複する場合を一般化して示す図である。

【符号の説明】

- 1 故障検出率算出装置
- 2 処理装置
- 3 データ記憶装置
- 4 データ取得部
- 5 レイアウト解析・故障リンク部
 - 5 a 配線情報抽出部
 - 5 b パス抽出部
 - 5 c 故障リスト作成部
 - 5 d 故障リンク部
 - 5 e 同時刻検出情報抽出部
 - 5 f レイアウト要素情報抽出部
- 6 故障検出部
- 7 重み計算部
 - 7 a 総レイアウト要素算出部
 - 7 b 重み算出部
- 3 1 入力装置
- 3 2 出力装置
- 3 3 補助記憶装置
- 3 4 主記憶装置
- 4 0 基本セル外部情報
- 4 1 基本セル間レイアウト情報
- 4 2 ゲートネット
- 4 3 メモリモデル
- 4 4 テストパターン
- 4 5 リンク条件指示データ
- 4 6 単方向信号検出・未検出故障リスト
- 4 7 双方向信号検出・未検出故障リスト

- 4 8 配線長重み付き
 - 4 8 a 故障検出率
 - 4 8 b 未検出故障
- 4 9 最小ビア数重み付き
 - 4 9 a 故障検出率
 - 4 9 b 未検出故障
- 5 0 基本セル面積重み付き
 - 5 0 a 故障検出率
 - 5 0 b 未検出故障
- 5 1 最適バランス重み付き
 - 5 1 a 故障検出率
 - 5 1 b 未検出故障
- 5 2 単方向信号故障・レイアウト要素情報リンクファイル
- 5 3 双方向信号故障・レイアウト要素情報リンクファイル
- 5 4 故障リスト
- 5 5 基本セル詳細レイアウトデータ
- 5 6 基本セルレイアウト要素情報
- 5 8 レイアウト領域
- 1 5 1、1 5 2 クロックトインバータ
- 1 5 3 インバータ
- 1 5 4、1 5 5 出力インバータ
- 1 5 6 破線
- 1 5 8、1 6 1～1 6 6 レイアウト領域
- 1 6 0 基本セル
- A 1～A 4 入力端子
- B 基本セル
- C 1 第 1 基本セル
- C 1 第 4 基本セル
- C 2 第 2 基本セル

C 3 第 3 基本セル

C 4 第 4 基本セル

C 5 基本セル

L S I システム

L S I テスト対象

M 1 メタル配線

P 1、Q、Z 1 ～ Z 5 出力端子

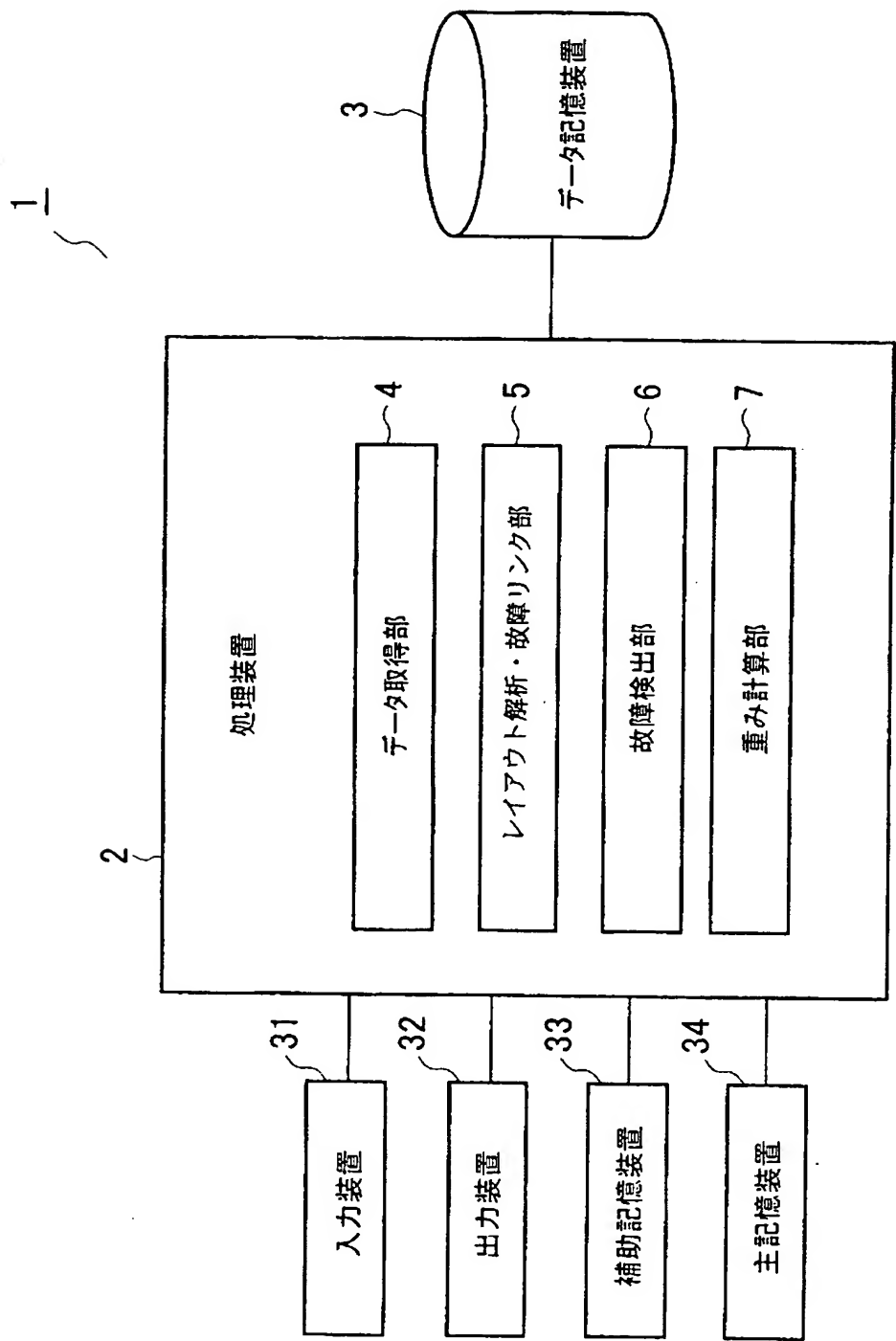
P 2 入力端子

T 2 バッファ

f 1、f 2 故障

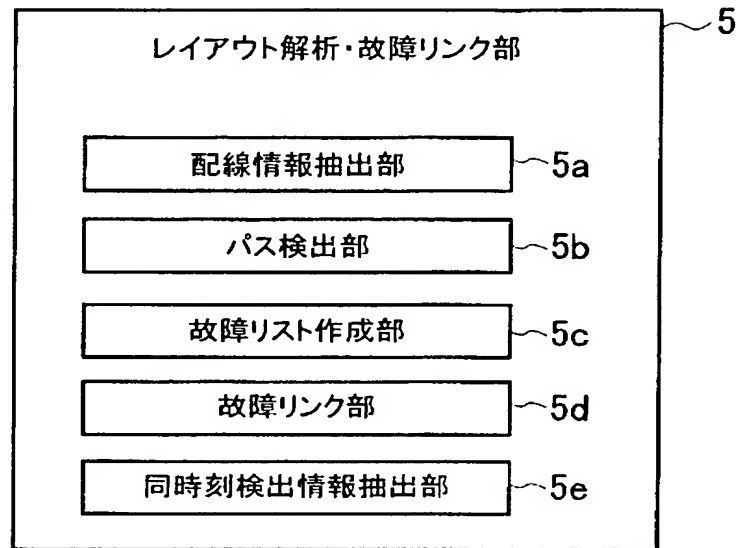
【書類名】 図面

【図 1】

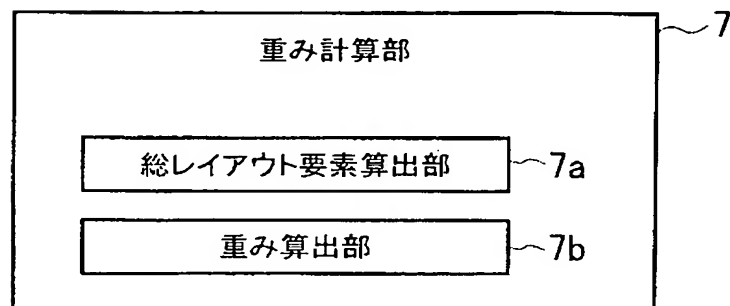


【図 2】

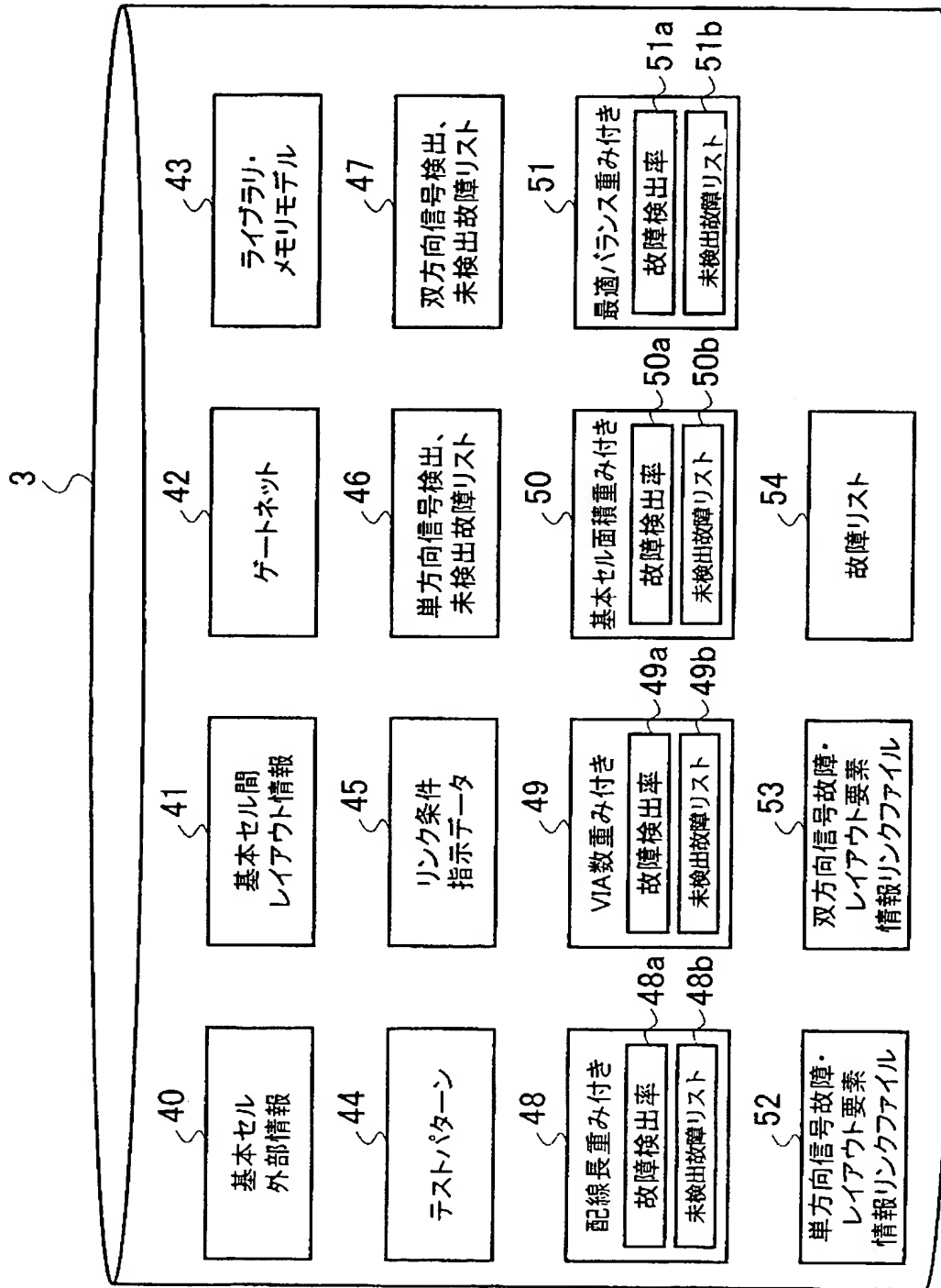
(a)



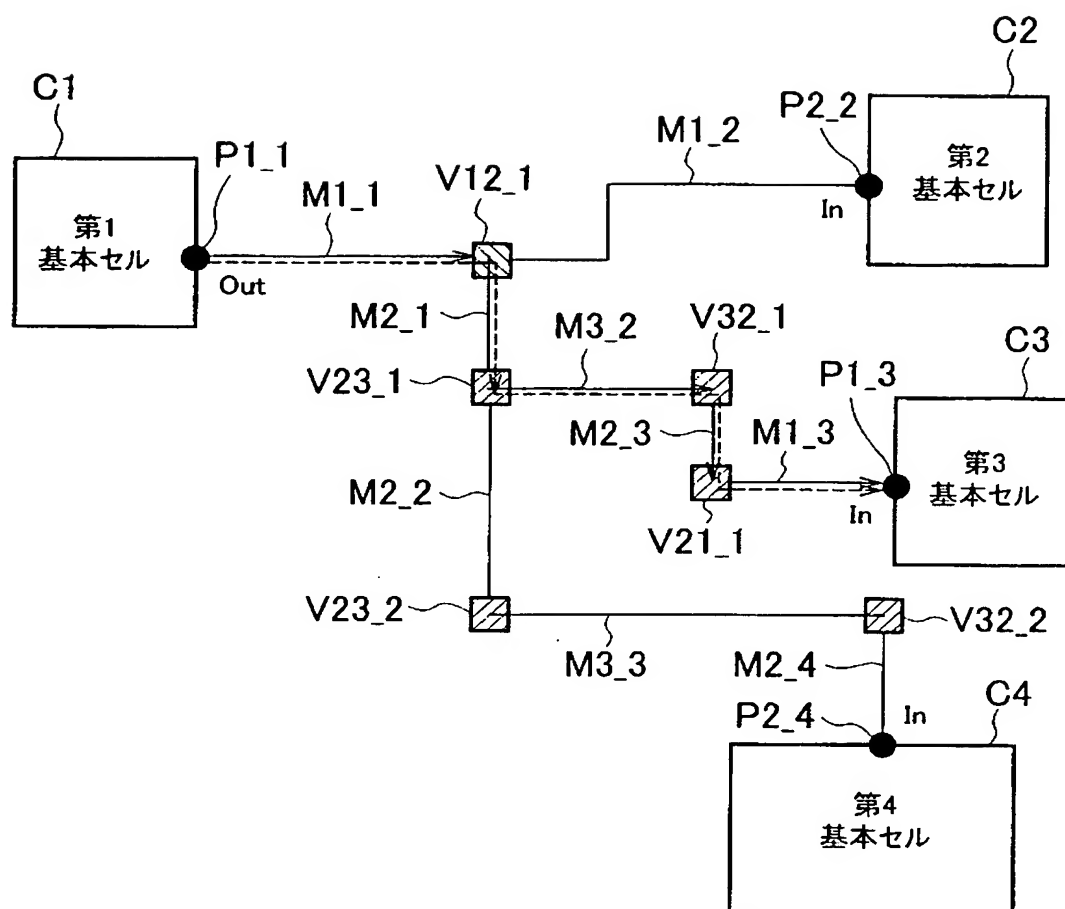
(b)



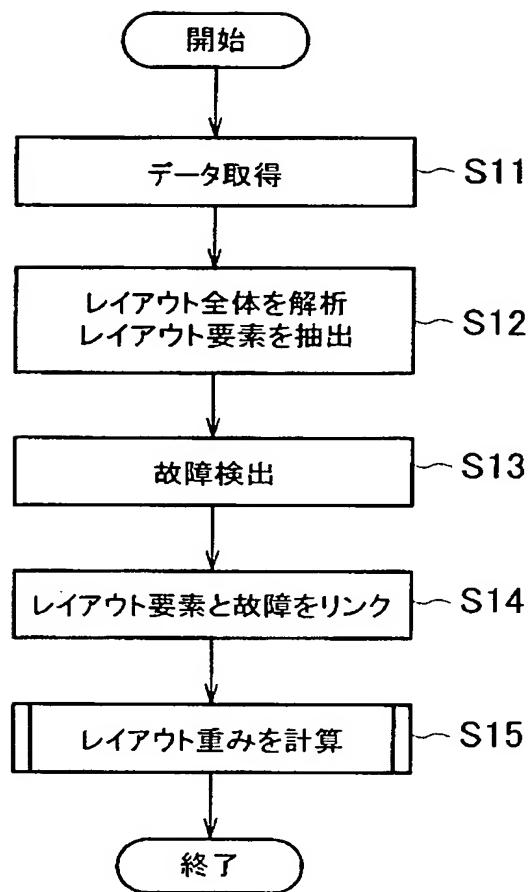
【図 3】



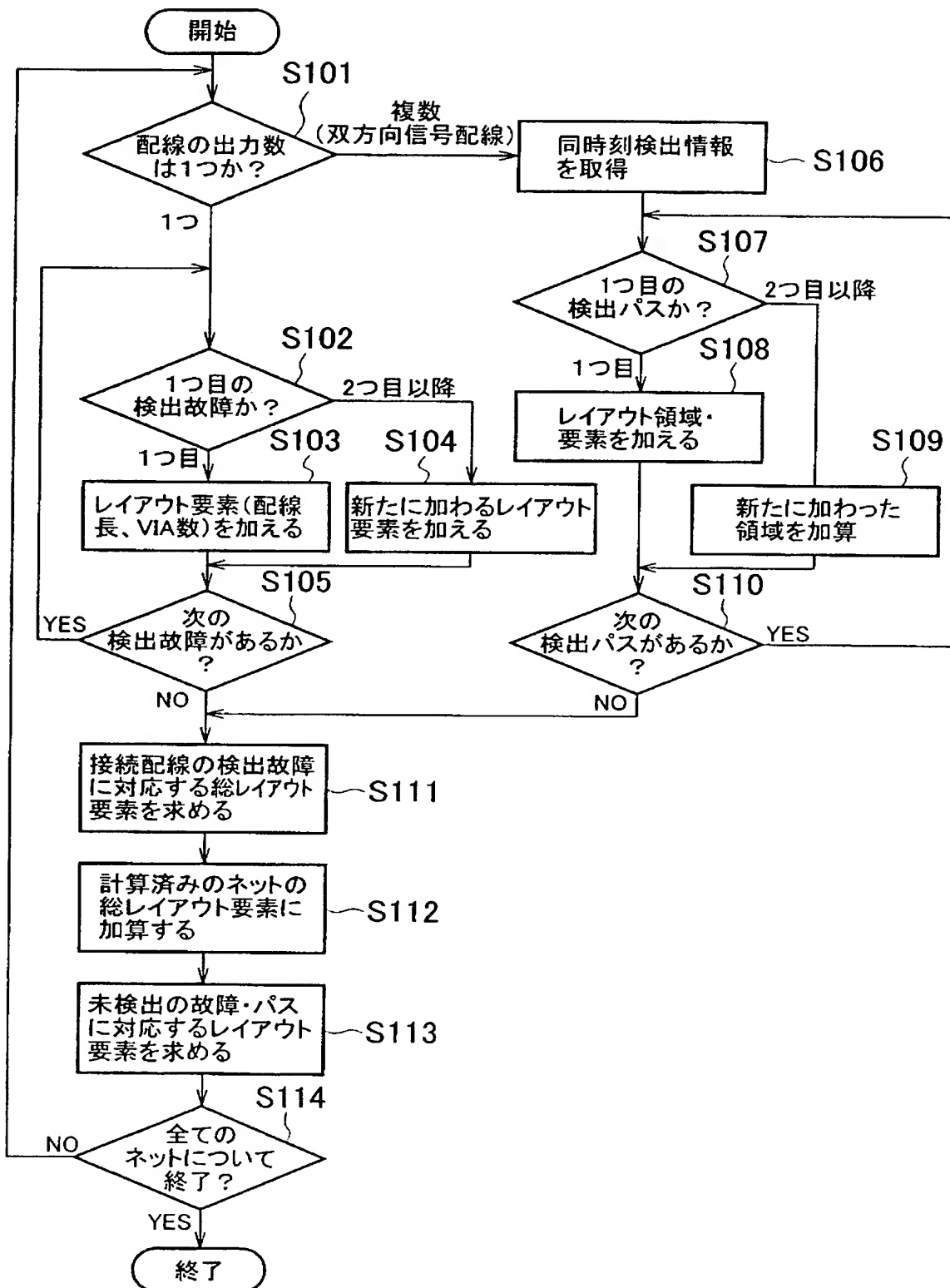
【図 4】



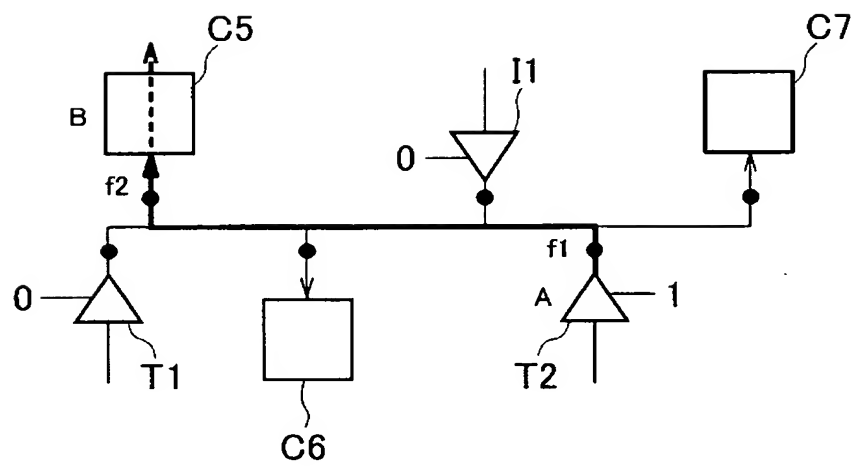
【図 5】



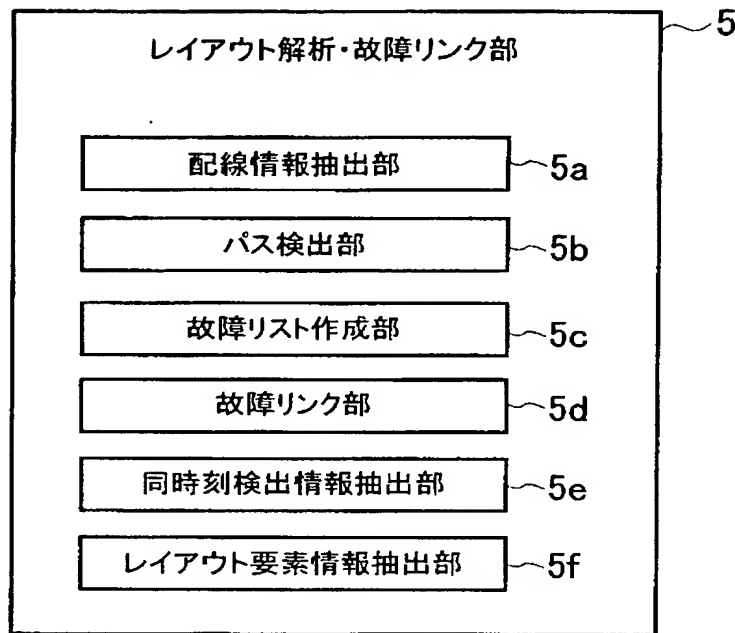
【図 6】



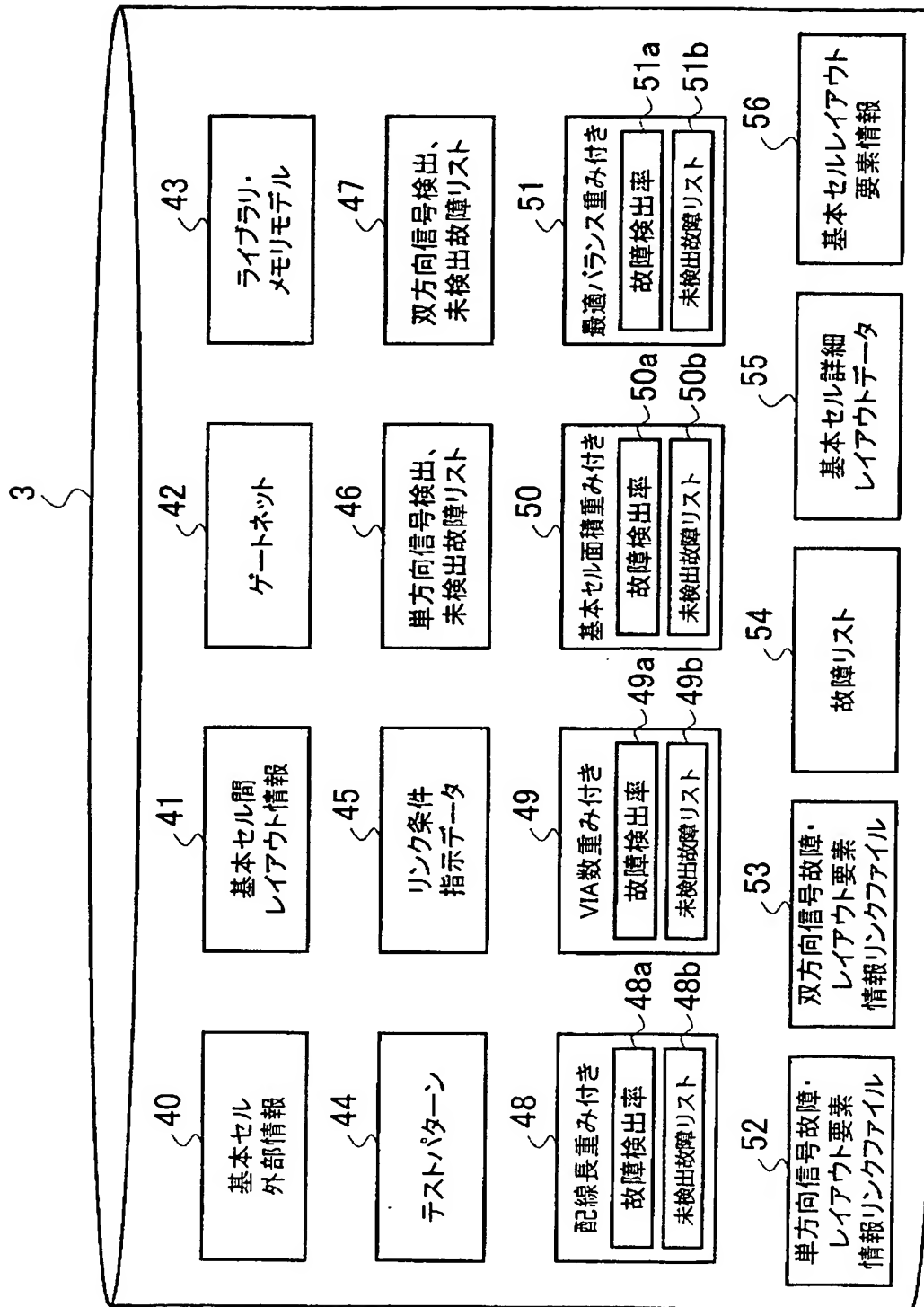
【図 7】



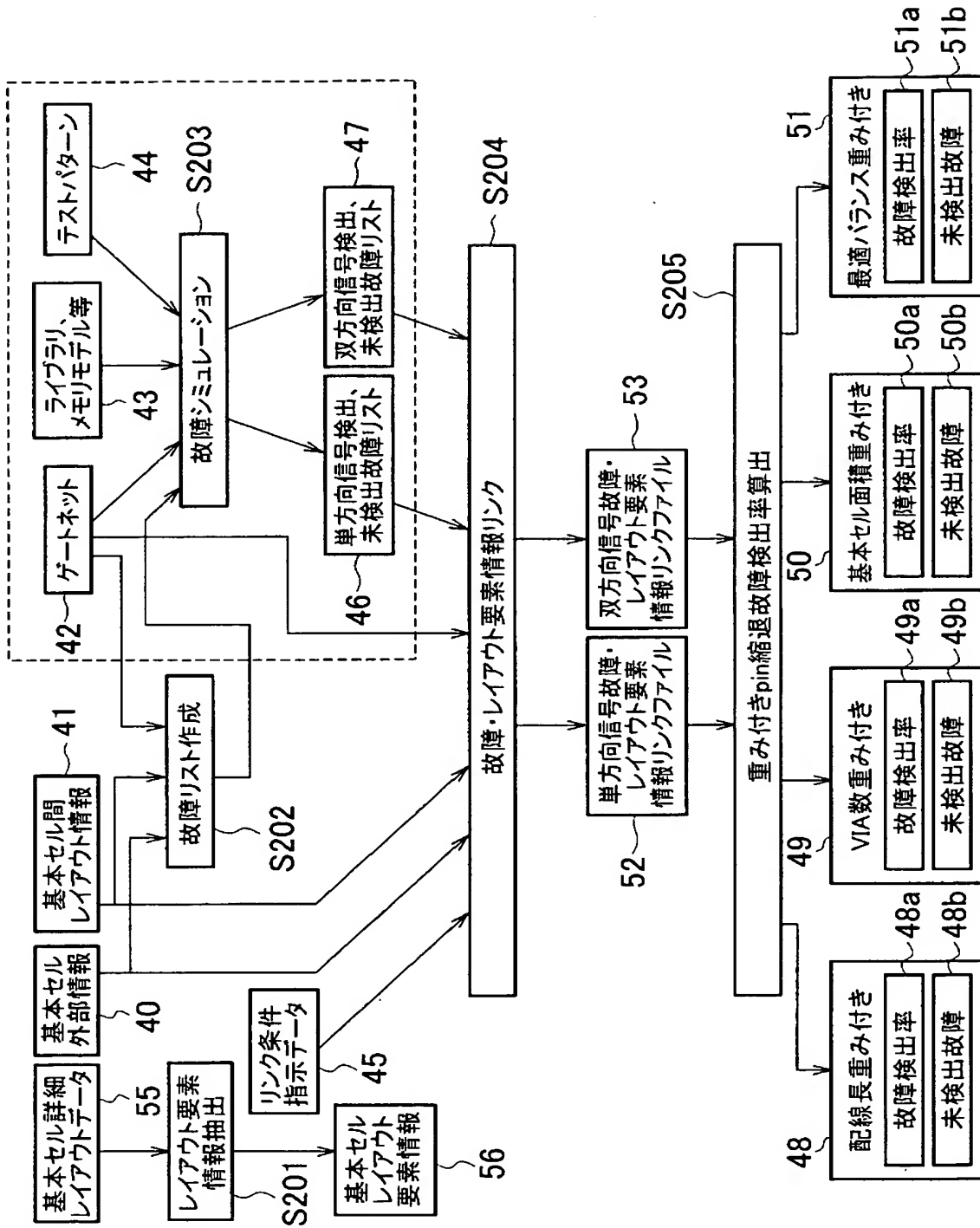
【図 10】



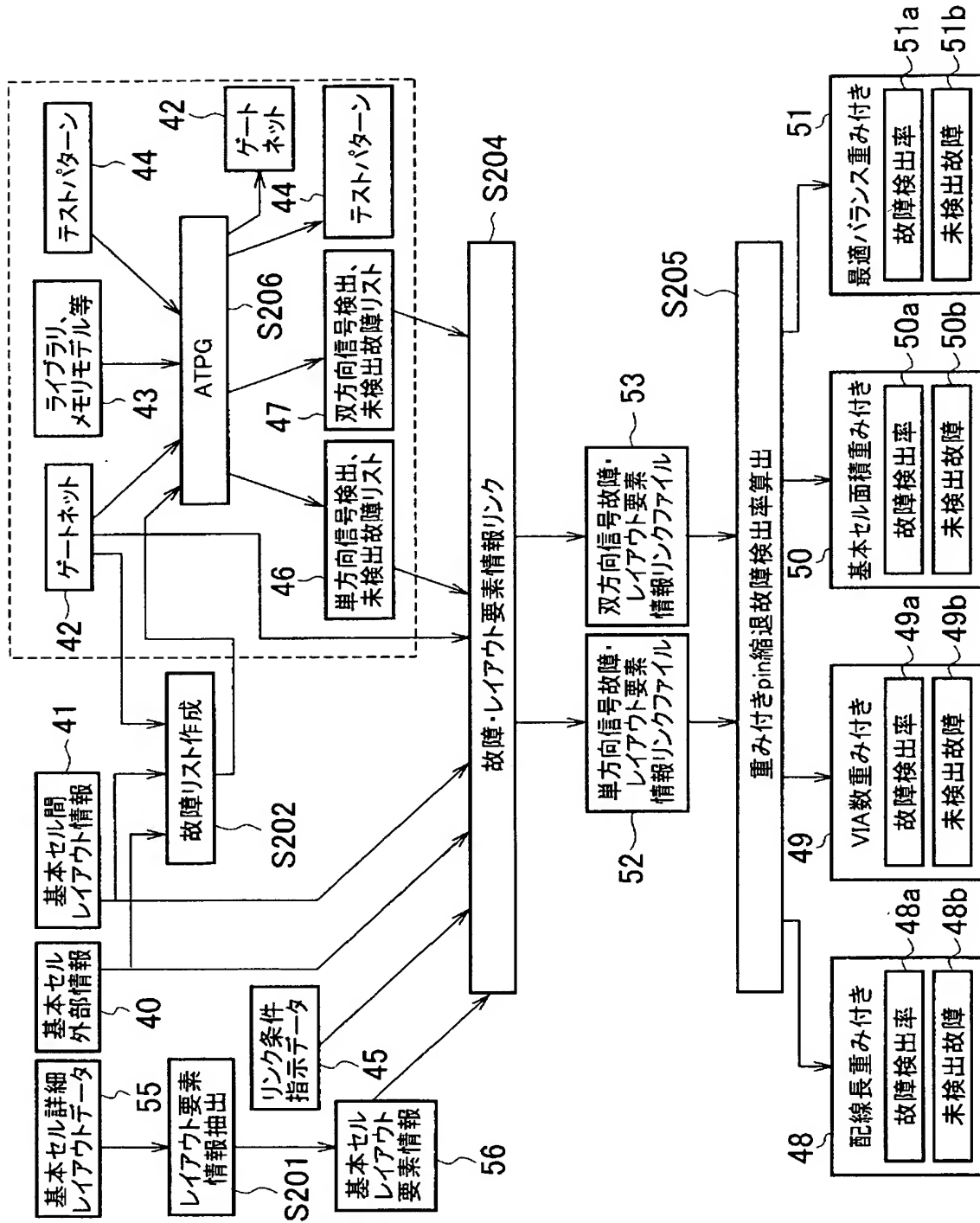
【図 11】



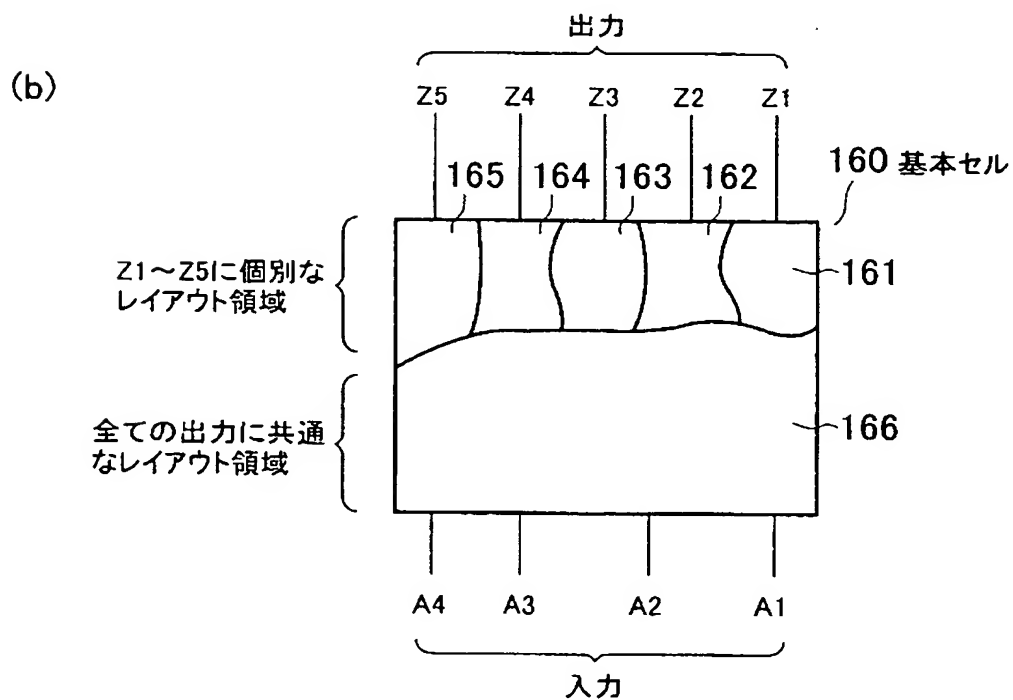
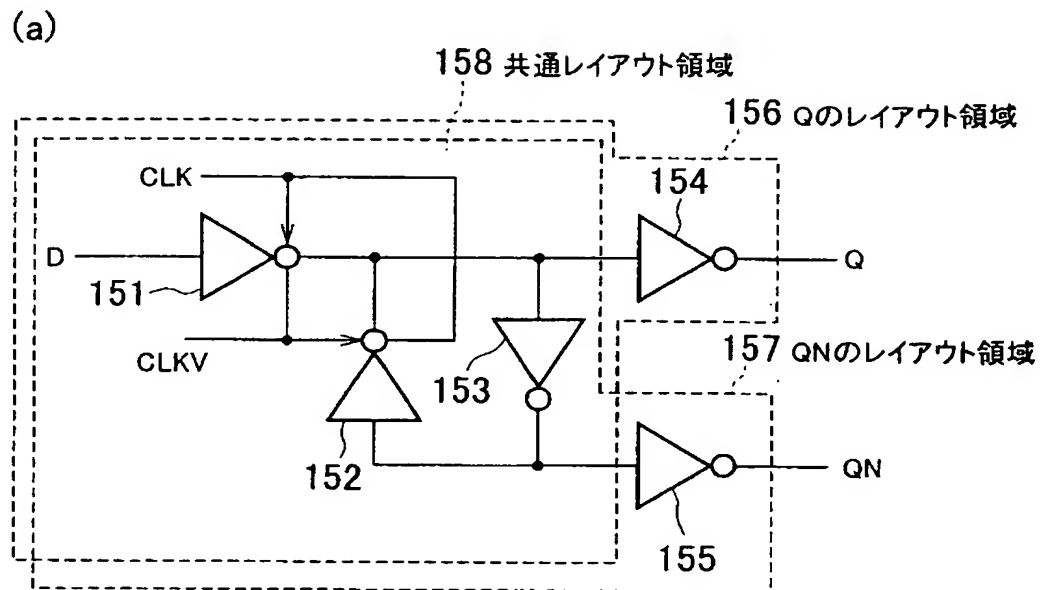
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 実際の不良発生率と高い相関を有する故障検出率算出装置及び方法を提供すること。

【解決手段】 L S I のレイアウト情報及びゲートネットデータを取得するデータ取得部 4 と、レイアウト情報及びゲートネットデータからレイアウト全体について基本セルの入出力端子の接続状況を解析しレイアウト要素情報として抽出し未検出の故障リストを作成するレイアウト解析・故障リンク部 5 と、検出・未検出故障リストを作成する故障検出部 6 と、レイアウト解析・故障リンク部はレイアウト情報とゲートネットデータと検出・未検出故障リストに基づき、故障・レイアウト要素情報リンクファイルを作成し、故障レイアウト要素情報リンクファイルに基づき、検出・未検出故障リストの故障に対して対応するレイアウト要素情報を重みとして付加する重み計算部 7 とを有する故障検出率算出装置 1。

【選択図】 図 1

特願 2 0 0 3 - 0 0 8 7 8 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1 . 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝